

(19) 世界知的所有権機関
国際事務局

27 APR 2005

(43) 国際公開日
2004年5月13日 (13.05.2004)

PCT

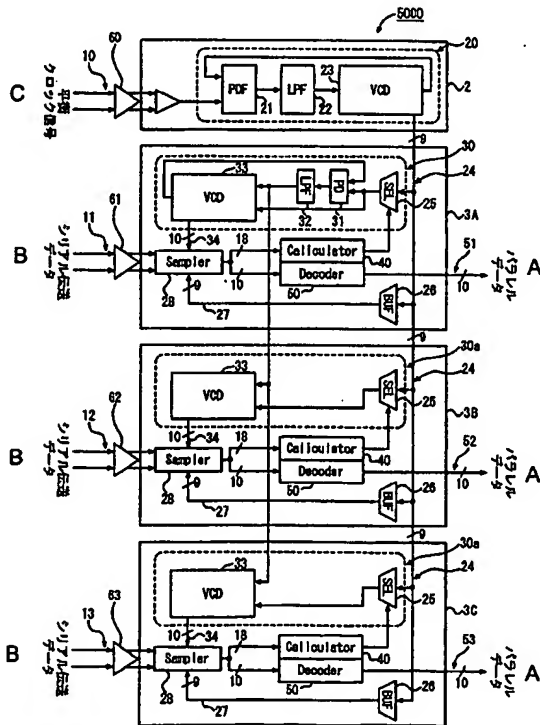
(10) 国際公開番号
WO 2004/040836 A1

- (51) 国際特許分類⁷: H04L 7/033, H03M 9/00 (72) 発明者; および
(21) 国際出願番号: PCT/JP2003/013941 (75) 発明者/出願人(米国についてのみ): 岡村 淳一 (OKA-MURA, Jun-ichi) [JP/JP]; 〒103-0023 東京都中央区日本橋本町三丁目3番6号 ザインエレクトロニクス株式会社内 Tokyo (JP).
(22) 国際出願日: 2003年10月30日 (30.10.2003)
(25) 国際出願の言語: 日本語 (74) 代理人: 片山 修平 (KATAYAMA, Shuhei); 〒104-0031 東京都中央区京橋1-6-1 三井住友海上テプコビル Tokyo (JP).
(26) 国際公開の言語: 日本語
(30) 優先権データ: 特願2002-318806 (81) 指定国(国内): CN, KR, US.
2002年10月31日 (31.10.2002) JP (84) 指定国(広域): ヨーロッパ特許(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).
(71) 出願人(米国を除く全ての指定国について): ザインエレクトロニクス株式会社 (THINE ELECTRONICS, INC.) [JP/JP]; 〒103-0023 東京都中央区日本橋本町三丁目3番6号 Tokyo (JP).
添付公開書類:
— 国際調査報告書

[続葉有]

(54) Title: RECEIVING APPARATUS

(54) 発明の名称: 受信装置



A...PARALLEL DATA
B...SERIAL TRANSMITTED DATA
C...BALANCE CLOCK SIGNALS

(57) Abstract: A receiving apparatus (5000) has a common circuit (2) and three demodulator circuits (3A, 3B, 3C). The demodulator circuit (3A) has a second synchronization circuit (DLL) (30), a clock selecting circuit (SEL) (25), a sampling register (Sampler) (28), an alignment calculating circuit (Calculator) (40), a decoding circuit (Decoder) (50), and a local buffer (BUF) (34). The DLL (30) has a phase detector (PD) (31), a LPF (32) and a voltage controlled delay circuit (VCD) (33). The other demodulator circuits (3B, 3C) share the arrangement of the PD (31) and LPF (32) in the DLL (30) of the demodulator circuit (3A). This eliminates a necessity of providing the PD (31) and LPF (32) in the DLLs (30a) of the demodulator circuits (3B, 3C) and hence reduces the circuit area.

(57) 要約: 受信装置 5000 は、共通回路 2 と 3 つの復調回路 3A, 3B, 3C とを有する。復調回路 3A は、第 2 の同期回路 (DLL) 30 とクロック選択回路 (SEL) 25 とサンプリングレジスタ (Sampler) 28 とアライメント計算回路 (Calculator) 40 と復号回路 (Decoder) 50 とローカルバッファ (BUF) とを有する。また、DLL 30 は位相検出器 (PD) と LPF 32 と電圧制御遅延回路 (VCD) 33 とを有する。他の復調回路 3B, 3C には復調回路 3A の DLL 30 における PD 31 と LPF 32 との構成を共用する。これにより、復調回路 3B, 3C における DLL 30a には、PD 31 と LPF 32 とを設ける必要がなくなり、回路面積が縮小される。

WO 2004/040836 A1



2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

明 細 書

受信装置

5 技術分野

本発明は、シリアルデジタル伝送信号の受信装置に係り、特にシリアル伝送データの復調に用いられる受信装置に関する。

- 近年の高速デジタル伝送信号の受信回路装置には、データの復調に際して、シリアル化シンボルビット数と同じ数の伝送クロック信号に同期した等位相のシンボルサンプルクロック信号を用いてシリアルデータをサンプリングする方式が一般的に利用されている。

- 一方、このような単純なサンプリング方式の復調回路では、シンボルサンプルクロック信号を用いて正確に伝送データのサンプリングを行っても、伝送線路での信号の遅延の偏りによりシンボルサンプルクロック信号に対してデータの位相がずれた場合（スキュー）や、平衡伝送線路間の信号の遅延の偏りによる伝送信号自体の波形の劣化が生じた場合には、シンボルデータを完全に復調できないという問題がある。高速シリアルデジタル伝送信号の受信回路装置では、このような劣化した信号を受信した場合でも安定に復調できる回路技術が重要となっている。

20

背景技術

- 近年におけるサンプリング方式の復調回路では、伝送線路での信号波形の劣化に対して受信データを安定に復調するために、サンプリング点をシンボルビット数よりも多くするオーバサンプリング方式を用いることが有効な手段として用いられている。

25

例えば米国特許第5802103号明細書には、高速シリアル伝送においてオーバサンプリング方式を用いて受信データを復調する全二重伝送装置の一例が開示されている。以下、これを従来技術1という。

図1は、従来技術1によるオーバーサンプリング方式を用いた受信回路1000の構成を示すブロック図である。尚、図1は、1つのデータブロックが8ビットで構成されており、シリアル伝送データのビットレートに対して3倍のオーバーサンプリングを行う場合の例を示している。

- 5 図1に示すように、受信回路1000は、入力クロック信号101からシリアル伝送データ111のビットレートの3倍のサンプリングレートを与える多相クロック信号102を発生する同期回路(DLL/PLL)100と、この多相クロック信号102を用いてシリアル伝送データ111をオーバーサンプリングするサンプリングレジスタ110と、オーバーサンプリングの結果に基づいて1つのデータブロックに含まれる8ビットのシンボル値122を決定する論理値決定回路120とを含んで構成されている。

- この構成において、サンプリングレジスタ110に入力された1つのデータブロック(8ビット)のシリアル伝送データ111は、シンボルビット数の3倍である24ビットのサンプリング点においてオーバーサンプリングされることで、24ビットの平行データ112として出力される。

- 論理値決定回路120は、サンプリングレジスタ110から出力された24ビットの平行データ112を用いて確率計算を行うことにより、シリアル伝送データ111の遷移点を求める。更に、論理値決定回路120は、求めた遷移点に基づいてオーバーサンプリングによって得られた24ビットの平行データ112のうちから適切な8ビットのシンボル値122を決定する。

- また、図1に示す受信回路1000の動作を図2に示す論理値を用いて説明する。図2において、受信回路1000に入力されたシリアル伝送データ111の1つのデータブロック200は、入力クロック信号101の3倍のビットレートに相当する周波数を有する多相クロック信号102でオーバーサンプリングされた結果、シリアル伝送データ111の理論値を反映した24ビットの平行データ112として出力される。

従来技術1では、このようにして出力された平行データ112を用いて確率計算を行うことにより、遷移点201~205が決定される。ここでは、例えばサンプリングされた平行データ112において、同じ論理値が2回連続す

れば遷移点が存在すると決定される。このようにして決定された遷移点に基づいて、24ビットの平行データ112のうちから8ビットのシンボル値122が決定される。

- 従って、3倍のオーバーサンプリング方式を用いることで従来技術1では、データ5の位相に関し、シンボリピリオド（クロック周波数にシンボルビット数をかけた逆数）に対して最大±30位相ずれを許容することが可能となる。

- しかしながら、一般にオーバーサンプリング方式では、サンプリングクロック信号とサンプリング回路数とが増大することにより、半導体集積回路において必要となる基板面積や消費電流が増大してしまうという問題が存在する。尚、3〜410倍以上のオーバーサンプリング方式を用いることにより、この問題に対処することも可能であるが、これでは製造コストが増大してしまうという問題が発生する。

このような問題を解決する方法としては、例えば国際公開第02/065690号パンフレットが開示するところの半導体集積回路が存在する。以下、これを従来技術2という。

- 15 この従来技術2は、伝送クロック周期に同期した出力クロック数の異なる2種類のクロック信号を用いることで、伝送線路における信号の遅延の偏りによってシリアル伝送データの位相がサンプリングクロック信号に対してずれた場合やシリアル伝送データの波形が劣化した場合においても、サンプリングクロック信号数やサンプリング回路数を増加することなく、受信したシリアル伝送データのシンボル値を安定して検出することを可能にしている。より詳細には、伝送クロック周期に同期した2種類のクロック信号のうち、第1群の多相クロック信号をシリアル伝送データの位相アライメントを測定するために用い、第2群の多相クロック信号をシリアル伝送データの位相アライメントを測定するためと、シリアル伝送データのシンボル値を求めるために用いる。また、求められた位相アライメントの測定結果を用いて第2群の多相クロック信号の位相を調整する。これにより、シリアル伝送データに対して常に最適なサンプリングクロック信号の位相を確保することが可能となり、結果として上記のような効果が得られる。20

このような従来技術2による半導体集積回路を用いた高速シリアルデジタル伝送線路の受信回路2000の構成を図3を用いて説明する。尚、図3は、受信

回路2000を3チャネルの高速デジタル受信器に適用した場合の機能ブロックを示している。また、図3では、シンボルビット数を10ビットとすることで、4倍のオーバーサンプリング方式と同等以上の位相調整能力を実現している。

図3において、受信回路2000は、第1の同期回路(PLL)20を有して
5 構成された共通回路2と、複数(図3では3つ)の復調回路3a, 3b, 3cとを有して構成されている。

PLL20は位相比較器(PDF)21とローパスフィルタ(LPF)22と電圧制御発振器(VCO)23とを有して構成されており、入力段に設けられたゲイン調整機能付きのアナログアンプ60を介して入力された平衡クロック信号
10 (以下、入力クロック信号という)10に同期した9相の等位相のアライメント測定用クロック信号24を生成する。

また、各復調回路3a, 3b, 3c(以下、3aに着目して説明する)は、第2の同期回路(DLL)30とクロック選択回路(SEL)25とサンプリング回路(Sampler)28と位相アライメント計算回路(Calculator)
15 or)40と復号回路(Decoder)50とローカルバッファ(BUF)26とを有して構成されている。DLL30は位相検出器(PD)31とLPF32と電圧制御遅延回路(VCD)33とを有して構成されている。

このような構成において、DLL30は、位相アライメント計算回路40で制御されたクロック選択回路25を介して入力されたアライメント測定用クロック
20 信号24に基づいて入力クロック信号10に同期した10相の等位相のシンボルサンプルクロック信号34を生成し、これをサンプリング回路28へ出力する。ここで、クロック選択回路25は、シリアル伝送データのシンボルサンプルクロック信号に対してアライメントの測定結果を用いてシンボルサンプルクロック信号の位相を調整し、これによりシリアル伝送データに対して常に最適なシンボル
25 サンプルクロック信号の位相を保持できる。また、サンプリング回路28には、ローカルバッファ26で波形整形された9相の等位相のアライメント測定用クロック信号27と、アナログアンプ61で増幅された平衡高速デジタルシリアルデータ(以下、単にシリアル伝送データという)11とも入力される。これら入力されたデータ及びクロック信号に基づいて、

サンプリング回路28は18 ($=10+9-1$) ビットのサンプリングデータ29を出力する。

位相アライメント計算回路40は、サンプリング回路28から入力されたサンプリングデータ29を用いてアライメント変位量を計算し、この値をクロック選択回路25にフィードバックする。一方、18ビットのサンプリングデータ29のうちシンボルサンプルクロック信号34でサンプリングされた10ビットのデータは、復号回路50でビット位置合わせがなされた後にパラレルデータ51として出力される。尚、他のチャネル回路ブロック(3b, 3c)に関しても同様な構成及び動作が実現される。

10 このような構成を有することで、従来技術2による受信回路2000は、入力クロック信号に対して位相遅延を生じたとしても安定にデータを復調することが可能となる。

しかしながら、上記した従来技術2のように、各チャネル回路ブロックが同様な構成を有するにも関わらず、これらを個々に構成することは、チャネル数の増加に略比例して回路面積が増大という問題を引き起こす。

そこで本発明は、上記問題に鑑みてなされたもので、回路の少なくとも1部を共用することで面積の増大が軽減された受信装置を提供することを目的とする。

発明の開示

20 かかる目的を達成するために、本発明は、伝送クロック周期に同期した出力クロック数の異なる第1及び第2のクロック信号に基づいてシリアル伝送データをサンプリングすることで、該シリアル伝送データをパラレルデータに復調する復調回路を有する受信装置であって、伝送クロック周期に同期した前記第1のクロック信号を生成する第1の同期回路と、伝送クロック周期に同期し且つ前記第1
25 のクロック信号と出力クロック数の異なる前記第2のクロック信号を生成する第2の同期回路とを有し、前記復調回路は、前記第2の同期回路と、前記第1及び第2のクロック信号に基づいてシリアル伝送データをサンプリングするサンプリングレジスタと、該サンプリングレジスタでサンプリングされたサンプルデータに基づいて前記シリアル伝送データの前記入力クロック信号に対する変位量を算

出する変位量計算回路と、前記変位量に基づいてシンボルサンプル信号の位相を調整するクロック選択回路とを備える受信装置である。

- また、本発明の別の側面によれば、伝送クロック周期に同期した出力クロック数の異なる第1及び第2のクロック信号に基づいてシリアル伝送データをサンプリングすることで、該シリアル伝送データをパラレルデータに復調する復調回路を
- 5 少なくとも2つ有する受信装置であって、伝送クロック周期に同期した前記第1のクロック信号を生成する第1の同期回路と、伝送クロック周期に同期し且つ前記第1のクロック信号と出力クロック数の異なる前記第2のクロック信号を生成する複数の第2の同期回路とを有し、前記少なくとも2つの復調回路はそれぞれ、
- 10 前記複数の第2の同期回路のいずれか一つと、前記第1及び第2のクロック信号に基づいてシリアル伝送データをサンプリングするサンプリングレジスタと、該サンプリングレジスタでサンプリングされたサンプルデータに基づいて前記シリアル伝送データの前記入力クロック信号に対する変位量を算出する変位量計算回路と、前記変位量に基づいてシンボルサンプル信号の位相を調整するクロック選
- 15 択回路とを備え、前記少なくとも2つの復調回路のうちの1つの復調回路に設けられたローパスフィルタ回路は他の復調回路のローパスフィルタ回路として共用される構成である。このようにローパスフィルタのような比較的シリコン面積が大きい回路を共用するように構成することで、面積の増大が軽減された受信装置が実現される。
- 20 また、本発明の別の側面によれば、伝送クロック周期に同期した第1のクロック信号を生成する第1の同期回路と、複数の復調回路とを有し、該復調回路はそれぞれ、伝送クロック周期に同期し且つ前記第1のクロック信号と出力クロック数の異なる第2のクロック信号を生成する第2の同期回路と、前記第1及び第2のクロック信号に基づいてシリアル伝送データをサンプリングするサンプリング
- 25 レジスタと、該サンプリングレジスタでサンプリングされたサンプルデータに基づいて前記シリアル伝送データの前記入力クロック信号に対する変位量を算出する変位量計算回路と、前記第2の同期回路が前記伝送クロック周期に同期したままで前記伝送クロックの位相関係を調整するために、前記変位計算回路からの出力に基づいて、前記伝送クロックに同期し且つ位相がずれた複数のクロックが前

記第2の同期回路の入力クロック信号となるように選択するクロック選択回路とを備え、前記復調回路にそれぞれ設けられた前記第2の同期回路の少なくとも1つは、他の復調回路内の前記第2の同期回路が備えるローパスフィルタ回路から出力された制御電圧に基づいて前記第2のクロック信号を生成する構成である。

- 5 このようにローパスフィルタのような比較的シリコン面積が大きい回路を共用するように構成することで、面積の増大が軽減された受信装置が実現される。

- また、本発明の別の測目によれば、伝送クロック周期に同期した第1のクロック信号を生成する第1の同期回路と、複数の復調回路とを有し、該復調回路はそれぞれ、伝送クロック周期に同期し且つ前記第1のクロック信号と出力クロック
- 10 数の異なる第2のクロック信号を生成する第2の同期回路と、前記第1及び第2のクロック信号に基づいてシリアル伝送データをサンプリングするサンプリングレジスタと、該サンプリングレジスタでサンプリングされたサンプルデータに基づいて前記シリアル伝送データの前記入力クロック信号に対する変位量を算出する変位量計算回路と、前記第2の同期回路が前記伝送クロック周期に同期したま
- 15 ままで前記伝送クロックの位相関係を調整するために、前記変位計算回路からの出力に基づいて、前記伝送クロックに同期し且つ位相がずれた複数のクロックが前記第2の同期回路の入力クロック信号となるように選択するクロック選択回路とを備え、前記復調回路にそれぞれ設けられた前記第2の同期回路の少なくとも1つはローパスフィルタ回路を有し、当該ローパスフィルタ回路の出力を他の復調
- 20 回路へ供給するとともに、前記ローパスフィルタから出力された制御電圧に基づいて前記第2のクロック信号を生成する構成である。このようにローパスフィルタのような比較的シリコン面積が大きい回路を共用するように構成することで、面積の増大が軽減された受信装置が実現される。

- また、本発明の別の側面によれば、伝送クロック周期に同期した第1のクロック信号を生成する第1の同期回路と、伝送クロック周期に同期し且つ前記第1の
- 25 クロック信号と出力クロック数の異なる第2のクロック信号を生成するための制御電圧を出力する制御電圧出力回路と、前記制御電圧出力回路から出力された前記制御電圧に基づいて前記第2のクロック信号を生成する第2の同期回路と、前記第1及び第2のクロック信号に基づいてシリアル伝送データをサンプリングす

- るサンプリングレジスタと、該サンプリングレジスタでサンプリングされたサンプルデータに基づいて前記シリアル伝送データの前記入力クロック信号に対する変位量を算出する変位量計算回路と、前記第2の同期回路が前記伝送クロック周期に同期したままで前記伝送クロックの位相関係を調整するために、前記変位計算回路からの出力に基づいて、前記伝送クロックに同期し且つ位相がずれた複数のクロックが前記第2の同期回路の入力クロック信号となるように選択するクロック選択回路とを備えた復調回路とを有する構成である。

図面の簡単な説明

- 10 図1は、従来技術1によるオーバーサンプリング方式を用いた受信回路1000の構成を示すブロック図、
- 図2は、図1に示す受信回路1000の動作を論理値を用いて説明するための図、
- 15 図3は、従来技術2による半導体集積回路を用いた高速シリアルデジタル伝送線路の受信回路2000の構成を示す機能ブロック図、
- 図4は、本発明において例示する高速シリアルデジタル伝送線路の受信装置3000の概略構成を示す機能ブロック図、
- 図5は、図4に示す受信装置3000の論理値レベルでのタイミング動作を示す図、
- 20 図6は、図5を用いて説明した動作において入力されるシリアル伝送データ511の位相がシンボルサンプルクロック信号311に対して位相ずれを生じている場合についての論理値レベルでの動作を示す図、
- 図7は、図6に示す位相ずれを調整した後の論理値レベルでの動作を示す図、
- 図8Aは、受信装置3000において用いられる n (n は正の整数) 相のクロック信号及び m (m は正の整数) 相のクロック信号を用いたサンプリング方式における最低限必要なサンプリング数とシリアル伝送データの位相調整範囲との例を列挙するテーブルを示す図、
- 25

図8Bは、従来技術1において用いられるX（Xは正の整数）倍のオーバーサンプリング方式における最低限必要なサンプリング数とシリアル伝送データの位相調整範囲との例を列挙するテーブルを示す図、

図9は、入力されるシリアル伝送データの位相がサンプリングクロック信号の
5 位相に対して非平衡にずれている場合の論理値レベルでの動作を示す図、

図10は、図9に示す位相ずれを調整した後の論理値レベルでの動作を示す図、

図11は、本発明において例示する1チャンネルのシリアル伝送データを受信するための受信装置4000の構成を示す機能ブロック図、

図12は、本発明の第1の実施例による受信装置5000の構成を示す機能ブ
10 ロック図、

図13は、本発明の第2の実施例による受信装置6000の構成を示す機能ブ
ロック図、

図14は、本発明の第3の実施例による受信装置7000の構成を示す機能ブ
ロック図である。

15

発明を実施するための最良の形態

本発明を好適に実施した形態について説明するにあたり、本発明で使用する受信装置の基本構成の一例について図面を用いて詳細に説明する。

本発明の基本構成は、例えば、高速シリアルディジタル伝送信号を復調する受
20 信装置に係り、伝送線路での信号の遅延の偏りによりシンボルサンプルクロック
に対してデータの位相がずれた場合（スキュー）や、平衡伝送線路間の信号の遅
延の偏りにより伝送信号の波形の劣化が生じた場合でも、受信データを安定に復
調できる受信装置に関する。従来、このような受信装置においてオーバーサン
プリング方式を使用した場合、サンプリングクロックとサンプリング回路数とが
25 増大するという問題が生じる。そこで本発明は、このような問題が回避された低
消費電力の高速シリアルディジタル伝送信号の受信装置を実現する。

本発明における高速シリアルディジタル伝送信号の受信装置には、例えば伝送
クロック周期に同期した出力クロック数の異なる2種類の等位相クロック発生器
（第1及び第2の同期回路に相当）を使う。この2種類の等位相クロック発生器

- では、シンボルサンプルクロック信号と、同期アライメント検出用のクロック信号（以下、アライメント測定用クロック信号という）とが生成される。従って、本発明による受信装置では、生成された2種類のクロック信号を用いて、シリアル伝送データのシンボルサンプルクロック信号に対するアライメントを測定し、
- 5 この測定結果を用いてシンボルサンプルクロック信号の位相を調整することで、シリアル伝送データに対して常に最適なシンボルサンプルクロック信号の位相を保持できる。

- これにより本発明により使用される基本構成の一例では、上記のような要因により劣化したデータ信号を受信した場合でも、この受信データを安定して復調することが可能となる。更に、上記のような構成を有することで、シンボルサンプルクロック信号とサンプリング回路数とを削減することが可能となるため、通常のオーバーサンプリング方式のサンプル数よりも少ないシンボルサンプルクロック信号でオーバーサンプリング方式と同等以上の伝送データの復調が可能となる。
- 10

- 次に、以上で例示したような基本構成を有する受信装置を図面を用いて詳細に説明する。
- 15

図4は、例示した基本構成を有して成る高速シリアルデジタル伝送線路の受信装置3000の概略構成を示す機能ブロック図である。尚、図4では、シンボルサンプルクロック信号のシンボルビット数を8ビットとすることで、3倍のオーバーサンプリング方式と同等以上の位相調整能力を実現している。

- 20 図4に示すように、受信装置3000は、第1の同期回路（ $nDLL/nPLL$ ）300と第2の同期回路（ $mDLL/mPLL$ ）310とサンプリングレジスタ320とアライメント計算回路330とを有して構成される。

- 第1の同期回路である $nDLL/nPLL$ 300は、遅延同期回路（ DLL ）若しくは位相同期回路（ PLL ）で構成されており、入力クロック信号101からアライメント測定用の7相（ $=n$ ）の等位相クロック信号（アライメント測定用クロック信号）301を生成し、これを $mDLL/mPLL$ 310及びサンプリングレジスタ320へ出力する。
- 25

第2の同期回路である $mDLL/mPLL$ 310は、7相のアライメント測定用クロック信号301のうち任意の1つのクロック信号と同期した8相（ $=m$ ）

の等位相クロックであるシンボルサンプルクロック信号311を生成し、これをサンプリングレジスタ320へ出力する。

- サンプリングレジスタ320には、上記した7相のアライメント測定用クロック信号301及び8相のシンボルサンプルクロック信号311の他に、平衡高速
- 5 デジタルシリアル伝送データ（以下、単にシリアル伝送データという）111も入力される。サンプリングレジスタ320は、入力された2つのクロック信号（301, 311）を重ね合わせた（論理和）相のクロック信号である14相（ $= n+m-1$: 1つのクロック信号が重なる為）のクロック信号を用いてシリアル伝送データ111をサンプリングする。即ち、本説明においてシリアル伝送データ111は、サンプリングレジスタ320においてシンボルビット数の1.75
- 10 倍（14相/8相）でパラレル化される。また、このサンプリングで得られた14ビットのサンプリング信号321は、アライメント計算回路330に入力される。

- アライメント計算回路330は、入力された1.75倍のサンプリング信号3
- 15 21に対して確率計算を行うことで、最終的に8ビットのシンボル値331とアライメント変位量340とを決定する。尚、アライメント変位量340はmDLL/mPLL310へ入力される。mDLL/mPLL310は入力されたアライメント変位量340に基づいてシンボルサンプルクロック信号311を生成する。

- 20 次に、図4に示す受信装置3000の論理値レベルでのタイミング動作を図5を用いて詳細に説明する。

- 図5において、入力されたシリアル伝送データ511は、サンプリングレジスタ320において、8ビットのシンボルビット数のシンボル長（200）のクロック周期を7等分するアライメント測定用クロック信号301である7相の等位
- 25 相クロックのタイミングに相当する第1群のサンプリング点401～407と、第1群のサンプリング点401～407の任意のクロック信号に同期してクロック周期を8等分するシンボルサンプルクロック311である8相の等位相クロックに相当する第2群のサンプリング点411～418とでサンプリングされる。この結果、14ビットのサンプルデータ（421, 422a, 422b, 423

a, 4 2 3 b, 4 2 4 a, 4 2 4 b, 4 2 5, 4 2 6 a, 4 2 6 b, 4 2 7 a, 4 2 7 b, 4 2 8 a, 4 2 8 b) が生成される。

アライメント計算回路 3 3 0 は、入力された 1 4 ビットのサンプルデータ (4 2 1 a, 4 2 2 a, 4 2 2 b, 4 2 3 a, 4 2 3 b, 4 2 4 a, 4 2 4 b, 4 2 5, 4 2 6 a, 4 2 6 b, 4 2 7 a, 4 2 7 b, 4 2 8 a, 4 2 8 b) を用いて、適切な位相アライメント位置からの変位量 (アライメント変位量 3 4 0) を計算する。

以下に、シリアル伝送データ 5 1 1 の適切な位相アライメント位置からの変位量 (3 4 0) を計算する方法の一例について説明する。

10 まず、アライメント計算回路 3 3 0 は、内部レジスタ 4 4 1 ~ 4 4 7 における値を「0」にリセットする。次に、アライメント計算回路 3 3 0 は、サンプルデータ 4 2 2 a の論理値がサンプルデータ 4 2 2 b の論理値と等しいか否かを判定し、これらが等しければ「-1」を内部レジスタ 4 4 2 に格納する。同様にアライメント計算回路 3 3 0 は、サンプルデータ 4 2 3 a の論理値がサンプルデータ 4 2 3 b の論理値と等しいか否かを判定し、これらが等しければ「-1」を内部レジスタ 4 4 3 に格納する。同様にアライメント計算回路 3 3 0 は、サンプルデータ 4 2 4 a の論理値がサンプルデータ 4 2 4 b の論理値と等しいか否かを判定し、これらが等しければ「-1」を内部レジスタ 4 4 4 に格納する。

一方、アライメント計算回路 3 3 0 は、サンプルデータ 4 2 6 a の論理値がサンプルデータ 4 2 6 b の論理値と等しいか否かを判定し、これらが等しければ「+1」を内部レジスタ 4 4 5 に格納する。同様にアライメント計算回路 3 3 0 は、サンプルデータ 4 2 7 a の論理値がサンプルデータ 4 2 7 b の論理値と等しいか否かを判定し、これらが等しければ「+1」を内部レジスタ 4 4 6 に格納する。同様にアライメント計算回路 3 3 0 は、サンプルデータ 4 2 8 a の論理値がサンプルデータ 4 2 8 b の理論値と等しいか否かを判定し、これらが等しければ「+1」を内部レジスタ 4 4 7 に格納する。

ここで、位相アライメント変位量 3 4 0 は、内部レジスタ 4 4 1 ~ 4 4 7 にそれぞれ格納されている値の総和を求めることにより算出される。即ち、シリアル伝送データ 5 1 1 が適切な位相アライメント位置に存在する場合には、アライメ

ント変位量340が「0」となる。また、内部レジスタ441～447にそれぞれ格納されている値の絶対値の総和を求めることにより、伝送線路の品位を表す伝送品位値を計算することもできる。即ち、伝送線路の品位が良好である場合は、伝送品位値が「6」となる。

- 5 また、アライメント計算回路330では、シンボルサンプルクロック信号311に相当する第2群のサンプリング点411～418においてシリアル伝送データ511をサンプリングすることで得られた8ビットのシンボル値431が出力信号として復調される。

- また、上記したシリアル伝送データの適切な位相アライメント位置からの変位
10 量(340)を計算する方法の他の例を以下に説明する。

- 先の例においては、内部レジスタ441～447に「0」、「-1」、「+1」のいずれかを格納したが、本例では、内部レジスタ441～447に「0」又は「1」を格納する。即ち、アライメント計算回路330は、比較すべき1つのサンプリングデータの論理値が等しければ「1」をそれぞれの内部レジスタ441
15 ～447に格納する。その後、アライメント計算回路330は、内部レジスタ441～444にそれぞれ格納されている値の和(これをSUM1する)と、内部レジスタ445～447にそれぞれ格納されている値の和(これをSUM2とする)とを求め、これらの差(SUM2-SUM1)を求めることにより、シリアル伝送データ511の適切な位相アライメント位置からの変位量(340)を計
20 算することができる。

- 次に、図5を用いて説明した動作において、入力されるシリアル伝送データ511の位相がシンボルサンプルクロック信号311に対して位相ずれを生じている場合についての論理値レベルでの動作を図6を用いて詳細に説明する。尚、このような状況は、伝送線路における信号遅延時間がシリアル伝送データ511と
25 入力クロック信号101との間で異なることで生じる劣化の一例である。

図6において、入力されたシリアル伝送データ511は、1つのサンプリング点を共有する第1群のサンプリング点401～407と第2群のサンプリング点411～418とにおいてサンプリングされた結果、14ビットのサンプルデータ(521, 522a, 522b, 523a, 523b, 524a, 524b,

5 2 5, 5 2 6 a, 5 2 6 b, 5 2 7 a, 5 2 7 b, 5 2 8 a, 5 2 8 b) として出力される。この際、本説明における状況では、シリアル伝送データ 5 1 1 の位相アライメント位置がシンボルサンプルクロック信号 3 1 1 に対してずれているために、アライメント計算回路 3 3 0 において内部レジスタ 4 4 1 ~ 4 4 7 に

5 それぞれ格納されている値の総和、即ちアライメント変位量 3 4 0 を求めると、これが「0」とならず「+2」となる。従って、mD L L / m P L L 3 1 0 は、このアライメント変位量「+2」に基づいて、出力するシンボルサンプルクロック信号 3 1 1 のなかから基準位相として選択するクロック信号を変更することにより、位相アライメントの調整を行う。また、アライメント計算回路 3 3 0 において、内部レジスタ 4 4 1 ~ 4 4 7 にそれぞれ格納されている値の絶対値の総和、

10 即ち伝送品位値を求めると、この品位値が「6」とならず「4」となる。これは伝送線路等の影響により受信したシリアル伝送データ 5 1 1 の品位が劣化していることを表している。

更に、図 6 に示す位相ずれを調整した後の論理値レベルでの動作を図 7 を用いて詳細に説明する。

15

図 7 において、計算されたアライメント変位量 3 4 0 が「+2」であったため、mD L L / m P L L 3 1 0 において基準位相として選択するシンボルサンプルクロック信号 3 1 1 を「-2」分ずらす。これにより、基準位相を与えるクロック信号がサンプリング点 4 0 1 を与えるアライメント測定用クロック信号 3 0 1 からサンプリング点 4 0 6 を与えるアライメント測定用クロック信号 3 0 1 に変更

20 される。また、これと同時に、内部レジスタ 4 4 1 ~ 4 4 7 に格納された値をリセットする。この際、mD L L / m P L L 3 1 0 へ入力するアライメント変位量 3 4 0 を、所定の時間に渡って積分して平均値化することで得られた値としてもよい。

25 従って、入力されたシリアル伝送データ 5 1 1 は、新たに配列された第 1 群及び第 2 群のサンプリング点においてサンプリングされた結果、14 ビットのサンプルデータ (6 2 3 a, 6 2 3 b, 6 2 4 a, 6 2 4 b, 6 2 5, 6 2 6 a, 6 2 6 b, 6 2 7 a, 6 2 7 b, 6 2 8 a, 6 2 8 b, 6 2 1, 6 2 2 a, 6 2 2 b) として出力される。その後、アライメント計算回路 3 3 0 は、内部レジスタ

4 4 1 ~ 4 4 7 にそれぞれ格納された値を用いてアライメント変位量 3 4 0 を再度計算する。この際、基準位相となるサンプリング点が「-2」分ずれたため、計算されるアライメント変位量 3 4 0 は「0」となる。また、伝送の品位値も「6」となる。

- 5 以上のように、アライメント計算回路 3 3 0 による計算結果を用いてシリアル伝送データ 1 1 1 とシンボルサンプルクロック信号 3 1 1 との位相関係を常に調整することにより、少ないサンプリング数によって伝送線路における信号波形の劣化（スキュー等）に対してシンボル値を安定に検出することが可能となる。

尚、以上で説明したアライメント計算回路 3 3 0 におけるアライメント変位量 10 3 4 0 の計算方法はある 1 つの例にすぎず、この例以外の方法でも、第 1 群及び第 2 群のサンプリング点によりサンプリングされるサンプルデータを用いて伝送の品位を評価する回路を構成することは可能である。

また、図 8 A に、上述したような受信装置 3 0 0 0 において用いられる n (n は正の整数) 相のクロック信号（第 1 の同期回路で生成されるクロック信号）及び m (m は正の整数) 相のクロック信号（第 2 の同期回路で生成されるクロック信号）を用いたサンプリング方式における、最低限必要なサンプリング数とシリアル伝送データの位相調整範囲との例を列挙する。また、比較のため、図 8 B に従来技術 1 において用いられる X (X は正の整数) 倍のオーバーサンプリング方式における、最低限必要なサンプリング数とシリアル伝送データの位相調整範囲との例を示す。両者を比較すると、 $n \leq m$ の場合に以下の式 1 を満足することで、本発明において用いられる方式の方が、従来技術 1 で用いられている 3 倍のオーバーサンプリング方式よりも細かい位相調整が可能であることが分かる。

$$m/n - 1 < 1/3 \quad \dots \text{(式 1)}$$

また、 $n > m$ としてもよく、その場合には以下の式 2 を満足することで、本発明において用いられる方式の方が、従来技術 1 で用いられる 3 倍のオーバーサンプリング方式よりも細かい位相調整が可能となる。

$$n/m - 1 < 1/3 \quad \dots \text{(式 2)}$$

次に、図 4 に示す受信装置 3 0 0 0 において、入力されるシリアル伝送データの位相がサンプリングクロック信号の位相に対して非平衡にずれている場合の論

理値レベルでの動作を図9を用いて詳細に説明する。このような状況は、平衡伝送線路において信号遅延時間がシリアル伝送データと入力クロック信号との間で異なることに加えて、平衡伝送線路に含まれる2つの伝送線路間においても信号遅延時間に違いが生じることにより生じる劣化の一例である。

- 5 図9において、入力されたシリアル伝送データ811は、1つのデータブロック200の期間を7等分する等位相クロックであるアライメント測定用クロック信号301に相当する第1群のサンプリング点401~407と、そのうちの1つのサンプリング点に同期して1つのデータブロック200の期間を8等分する等位相クロックであるシンボルサンプルクロック信号311に相当する第2群の
- 10 サンプリング点411~418とにおいてサンプリングされた結果、14ビットのサンプルデータ821, 822a, 822b, 823a, 823b, 824a, 824b, 825, 826a, 826b, 827a, 827b, 828a, 828bとして出力される。

- この際、図9では、入力されたシリアル伝送データ811の立ち下がりエッジ
- 15 がシンボルサンプルクロック信号311の位相に対してずれている。このため、アライメント計算回路330において、入力された14ビットのサンプルデータ821, 822a, 822b, 823a, 823b, 824a, 824b, 825, 826a, 826b, 827a, 827b, 828a, 828bに基づいてアライメント変位量340を計算した結果、アライメント変位量が「0」になら
- 20 ず「+1」になる。このアライメント変位量340に基づいて、mDLL/mPLL310における基準位相を示すシンボルサンプルクロック信号311の選択を変更することにより、位相アライメントの調整を行うことができる。

更に、図9に示す位相ずれを調整した後の論理値レベルでの動作を図10を用いて詳細に説明する。

- 25 図10において、計算されたアライメント変位量340が「+1」であったため、mDLL/mPLL310において基準位相として選択するクロック信号を「-1」分ずらす。これにより、基準位相を与えるクロック信号がサンプリング点401を与えるクロック信号からサンプリング点407を与えるクロック信号に変更される。この際、mDLL/mPLL310へ入力するアライメント変位

量340を、所定の時間に渡って積分して平均値化することで得られた値としてもよい。

従って、入力されたシリアル伝送データ811は、新たに配列されたサンプリング点においてサンプリングされた結果、14ビットのサンプルデータ822a,
5 822b, 823a, 823b, 824a, 824b, 825, 826a, 826b, 827a, 827b, 828a, 828b, 821として出力される。この際、基準位相となるサンプリング点が「-1」分ずれたため、アライメント計算回路330において計算されるアライメント変位量340は「0」となる。

しかしながら、上記の動作の結果、アライメント変位量340は「0」となったが、内部レジスタ441～447にそれぞれ格納されている値の絶対値の総和
10 である伝送品位値が、伝送の良好を示す「6」と異なり「4」となっている。これは、平衡伝送線路においてシリアル伝送データが単にシンボルサンプルクロック信号に対して遅延している場合（図6参照）と異なり、平衡伝送線路に含まれる2つの伝送線路間においても遅延時間に違いが生じているような劣悪な波形を
15 有するシリアル伝送データを受信している場合には、位相アライメントが合った状態においても伝送の品位値が小さくなることを示している。

このように、上述のような基本構成を有する受信装置では、アライメント計算回路の内部レジスタに格納されている値の総和を求めることにより、位相アライメントの修正方向を知ることができるのに加えて、アライメント計算回路の内部
20 レジスタに格納されている値の絶対値の総和を求めることにより、伝送線路の品位を把握することが可能となる。

尚、以上で説明したアライメント計算回路330を使って伝送の品位を評価する回路のアルゴリズム（計算方法）はある1つの例にすぎず、この例以外の方法でも、第1群及び第2群のサンプリング点によりサンプリングされるサンプルデータを用いて伝送の品位を評価する回路を構成することは可能である。
25

一般のシリアル伝送線路においては、その伝送線路の品位がダイナミックに変動することが容易に起こり得る。この場合に、簡易な方法で伝送線路の品位（劣化程度）を測定することができれば、伝送線路の品位に対応した送信方法を選択することも可能となる。例えば、劣化の激しい伝送線路においては、ビットレー

- トを下げてシリアル伝送データを送信するように送信回路を制御することにより、シリアル伝送データを安定に送信することが可能になる。同様に、伝送線路の品位に対応した受信方法を選択することも可能である。例えば、劣化の激しい伝送線路においては、受信装置において増幅器の初段のゲインを増加させたり、波形
- 5 等化を行うことにより、シリアル伝送データを安定に受信することが可能になる。

本発明で例示した基本構成によれば、従来技術1で示したオーバサンプリング方式と同等以上の位相調整能力を有する受信装置をオーバサンプリング方式に必要なクロック信号数よりも大幅に少ないクロック信号を用いて実現することが可能となる。これにより、オーバサンプリング方式と同等以上の性能を、より少ない消費電力で実現することができる。

10

更に、従来技術1で示したオーバサンプリング方式においては、シリアル伝送データの品位をダイナミックに測定することは困難であったが、本発明で例示した基本構成によれば、これが容易に可能となる。これにより、伝送線路の品位にダイナミックに適応することが可能となる。

- 15 また、以上の説明では、入力クロック信号に同期する n 相のクロック信号を発生するためにPLL（フェーズロックドループ回路）又はDLL（ディレイロックドループ回路）を用いると共に、 n 相の多相クロック信号のうちの選択された1つのクロック信号に同期する m 相のクロック信号を発生するためにPLL又はDLL回路を用いた例を説明したが、等間隔の多相クロック信号を発生すること
- 20 ができる他の回路を用いても、本発明は実施可能で且つ有効である。また、多相クロック信号の数については、 $n \neq m$ であれば、如何なる n と m との値を用いても、本発明の基本構成の代替手段として適用することができる。

このような基本構成において、1チャンネルのシリアル伝送データを受信するための受信装置4000は、図11のような機能ブロック構成を有する。尚、図1

25 1では、シンボルサンプルクロック信号のシンボルビット数を10ビットとすることで、4倍のオーバサンプリング方式と同等以上の位相調整能力を実現している。

図11において、受信装置4000は、第1の同期回路（PLL）20を有して構成された共通回路2と、1つの復調回路3とを有して構成されている。

PLL 20は位相比較器 (PDF) 21とローパスフィルタ (LPF) 22と電圧制御発振器 (VCO) 23とを有して構成されており、入力段に設けられたゲイン調整機能付きのアナログアンプ60を介して入力された平衡クロック信号 (入力クロック信号) 10に同期した9相の等位相のアライメント測定用クロック信号24を生成する。

また、復調回路3は、第2の同期回路 (DLL) 30とクロック選択回路 (SEL) 25とサンプリングレジスタ (Sampler) 28とアライメント計算回路 (Calculator) 40と復号回路 (Decoder) 50とローカルバッファ (BUF) 26とを有して構成されている。DLL 30は位相検出器 (PD) とLPF 32と電圧制御遅延回路 (VCD) 33とを有して構成されている。尚、第2の同期回路 (30) はDLLであってもPLLであってもよい。但し、PLLとして構成した場合、VCD (33) の代りにVCOが用いられる。

このような構成において、DLL 30は、位相アライメント計算回路40で制御されたクロック選択回路25を介して入力されたアライメント測定用クロック信号24に基づいて、より詳細には、DLL 30におけるLPF 32から出力される制御電圧に基づいて、少なくとも1つの信号が入力クロック信号のうち何れか1つと位相同期した10相の等位相のシンボルサンプルクロック信号34をVCD 33において生成し、これをサンプリング回路28へ出力する。また、サンプリング回路28には、ローカルバッファ26で波形整形された9相の等位相のアライメント測定用クロック信号27と、アナログアンプ61で増幅された平衡高速デジタルシリアルデータ (以下、単にシリアル伝送データという) 11とも入力される。これら入力されたデータ及びクロック信号に基づいて、サンプリング回路28は18 ($=10+9-1$) ビットのサンプリングデータ29を出力する。

位相アライメント計算回路40は、サンプリング回路28から入力されたサンプリングデータ29を用いてアライメント変位量を計算し、この値をクロック選択回路25にフィードバックする。一方、18ビットのサンプリングデータ29のうちシンボルサンプルクロック信号34でサンプリングされた10ビットのデ

ータは、復号回路50でビット位置合わせがなされた後にパラレルデータ51として出力される。

このような機能ブロック構成を単純に複数チャネルのシリアル伝送データを受信するための受信装置に適用した場合、チャネル数と同等の数の復調回路3が必要となる。このため、チャネル数の増加に略比例して回路面積が増大してしまう。そこで本発明では、以下に挙げる各実施例のように、第2の同期回路(PLL/DLL)からの制御電圧をチャネル間で共用することで、回路面積の増大を抑えた構成とする。これにより、低消費電力で且つ高性能の高速シリアルデジタル伝送信号の受信装置が実現できる。以下、本発明による好適な実施例について図面を用いて詳細に説明する。

[第1の実施例]

まず、本発明の第1の実施例について図面を用いて詳細に説明する。図12は、本実施例による受信装置5000の構成を示す機能ブロック図である。尚、図12では、3チャネルのシリアル伝送データを受信するための受信装置5000において、シンボルサンプルクロック信号のシンボルビット数を10ビットとすることで、4倍のオーバサンプリング方式と同等以上の位相調整能力を実現している。

図12に示すように、本実施例による受信装置5000は、共通回路2と、3つの復調回路3A、3B、3Cとを有して構成されている。この構成において、共通回路2の構成は、図11で説明した構成と同様であり、復調回路3A、3B、3Cそれぞれにアライメント測定用クロック信号24を入力する。

また、各復調回路3A、3B、3Cにおいて、何れか(ここでは復調回路3Aとする)は、図11で示す復調回路3と同様の構成を有している。また、その他の復調回路(ここでは復調回路3B、3Cとする)は、上記の復調回路3AのDLL30におけるPD31とLPF32との構成を共用している。このため、復調回路3B、3CにおけるDLL30aには、PD31とLPF32とを設ける必要がない。

このように、比較的大きなシリコン面積を必要とする位相検出器(PD)31とローパスフィルタ(LP F)32との構成を複数の復調回路において共用する

- 構成とすることで、回路面積を大幅に削減することが可能となる。尚、この他の構成は、図 1 1 を用いて説明した構成と同様な構成を適用することができるため、ここでは説明を省略する。但し、本発明では図 1 1 を用いて説明した構成に限らず、比較的シリコン面積の大きい L P F が各復調回路に用いられる構成であれば、
- 5 如何なるものも適用することが可能である。

〔第 2 の実施例〕

- 次に、本発明の第 2 の実施例について図面を用いて詳細に説明する。図 1 3 は、本実施例による受信装置 6 0 0 0 の構成を示す機能ブロック図である。尚、図 1 3 でも、3 チャンネルのシリアル伝送データを受信するための受信装置 6 0 0 0 に
- 10 おいて、シンボルサンプルクロック信号のシンボルビット数を 1 0 ビットとすることで、4 倍のオーバサンプリング方式と同等以上の位相調整能力を実現している。

- 図 1 3 に示すように、本実施例による受信装置 6 0 0 0 は、共通回路 2 と、共通同期回路 2 A と、3 つの復調回路 3 D, 3 E, 3 F とを有して構成されている。
- 15 この構成において、共通回路 2 の構成は、図 1 1 で説明した構成と同様である。

- また、共通同期回路 2 A は、図 1 1 に示す復調回路 3 に設けられていた D L L 3 0 を複数の復調回路で共通化するために、各復調回路 3 D, 3 E, 3 F とは別に設けられた D L L 3 0 を含んでなる。また、共通同期回路 2 A には、この D L L 3 0 に入力されるアライメント測定用クロック信号 2 4 の波形を整形するための
- 20 のローカルバッファ 2 6 も含まれる。このような構成を有する共通同期回路 2 A を設けることで、各復調回路 3 D, 3 E, 3 F において比較的大きなシリコン面積を必要とする P D 3 1 と L P F 3 2 とを省略することができ、回路面積を大幅に削減することが可能となる。尚、この他の構成は、図 1 1 を用いて説明した構成と同様な構成を適用することが可能であるため、ここでは説明を省略する。但
- 25 し、本発明では図 1 1 を用いて説明した構成に限らず、比較的シリコン面積の大きい L P F が各復調回路に用いられる構成であれば、如何なるものも適用することが可能である。

〔第 3 の実施例〕

次に、本発明の第3の実施例について図面を用いて詳細に説明する。図14は、本実施例による受信装置7000の構成を示す機能ブロック図である。尚、図14でも、3チャンネルのシリアル伝送データを受信するための受信装置7000において、シンボルサンプルクロック信号のシンボルビット数を10ビットとすることで、4倍のオーバーサンプリング方式と同等以上の位相調整能力を実現している。

図14に示すように、本実施例による受信装置7000は、共通回路2と、3つの復調回路3G、3H、3Jとを有して構成されている。この構成において、共通回路2の構成は、図11で説明した構成と同様である。

10 また、各復調回路3G、3H、3Jにおいて、何れか（ここでは復調回路3Gとする）は、図11で示す復調回路3と同様の構成を有している。また、この他の復調回路（ここでは復調回路3H、3Jとする）は、上記の復調回路3GのDLL30におけるPD31の構成を共用している。このため、復調回路3H、3JにおけるDLL30bには、LPF32を設ける必要がない。

15 このように、比較的大きなシリコン面積を必要とするローパスフィルタ（LPF）32の構成を複数のチャンネル回路ブロックにおいて共用する構成とすることで、回路面積を大幅に削減することが可能となる。尚、この他の構成は、図11を用いて説明した構成と同様な構成を適用することが可能であるため、ここでは説明を省略する。但し、本発明では図11を用いて説明した構成に限らず、比較
20 的シリコン面積の大きいLPFが各復調回路に用いられる構成であれば、如何なるものも適用することが可能である。

〔他の実施形態〕

以上、説明した実施形態は本発明の好適な一実施形態にすぎず、本発明はその趣旨を逸脱しない限り種々変形して実施可能である。

25 以上説明したように、本発明によれば、回路の少なくとも1部を共用することで面積の増大が軽減された受信装置が提供される。更に、このような効果を奏する受信装置を低消費電力特性を有する構成を用いて実現することができる。

請 求 の 範 囲

1. 伝送クロック周期に同期した出力クロック数の異なる第1及び第2のクロック信号に基づいてシリアル伝送データをサンプリングすることで、該シリアル伝送データをパラレルデータに復調する復調回路を有する受信装置であって、

伝送クロック周期に同期した前記第1のクロック信号を生成する第1の同期回路と、

伝送クロック周期に同期し且つ前記第1のクロック信号と出力クロック数の異なる前記第2のクロック信号を生成する第2の同期回路とを有し、

- 10 前記復調回路は、前記第2の同期回路と、前記第1及び第2のクロック信号に基づいてシリアル伝送データをサンプリングするサンプリングレジスタと、該サンプリングレジスタでサンプリングされたサンプルデータに基づいて前記シリアル伝送データの前記入力クロック信号に対する変位量を算出する変位量計算回路と、前記変位量に基づいてシンボルサンプル信号の位相を調整するクロック選択回路とを備えることを特徴とする受信装置。

2. 伝送クロック周期に同期した出力クロック数の異なる第1及び第2のクロック信号に基づいてシリアル伝送データをサンプリングすることで、該シリアル伝送データをパラレルデータに復調する復調回路を少なくとも2つ有する受信装置であって、

伝送クロック周期に同期した前記第1のクロック信号を生成する第1の同期回路と、

伝送クロック周期に同期し且つ前記第1のクロック信号と出力クロック数の異なる前記第2のクロック信号を生成する複数の第2の同期回路とを有し、

- 25 前記少なくとも2つの復調回路はそれぞれ、前記複数の第2の同期回路のいずれか一つと、前記第1及び第2のクロック信号に基づいてシリアル伝送データをサンプリングするサンプリングレジスタと、該サンプリングレジスタでサンプリングされたサンプルデータに基づいて前記シリアル伝送データの前記入力クロック

ク信号に対する変位量を算出する変位量計算回路と、前記変位量に基づいてシンボルサンプル信号の位相を調整するクロック選択回路とを備え、

前記少なくとも2つの復調回路のうちの1つの復調回路に設けられたローパスフィルタ回路は他の復調回路のローパスフィルタ回路として共用されることを特

5 徴とする受信装置。

3. 前記第2の同期回路の少なくとも2つが、1つの位相検出回路を共用することを特徴とする請求項1又は2記載の受信装置。

10 4. 前記第1の同期回路は、少なくとも2つの前記同期回路に前記第1のクロック信号を入力することを特徴とする請求項1から3のいずれか一項記載の受信装置。

15 5. 前記第2の同期回路は前記ローパスフィルタ回路から出力された制御電圧に基づいて前記第2のクロック信号を発振する電圧制御発振器を含んで構成されていることを特徴とする請求項1から4のいずれか一項に記載の受信装置。

20 6. 前記第2の同期回路は前記ローパスフィルタ回路から出力された制御電圧に基づいて前記第2のクロック信号を発振する電圧制御遅延器を含んで構成されていることを特徴とする請求項1から4のいずれか一項に記載の受信装置。

7. 前記第2の同期回路は共有された前記ローパスフィルタを含んで構成されたフェーズロックドループ回路又はディレイロックドループ回路を有して構成されていることを特徴とする請求項1から4のいずれか一項に記載の受信装置。

25

8. 前記第1の同期回路はフェーズロックドループ回路を含んで構成され、

前記第2の同期回路は共有された前記ローパスフィルタを含んで構成されたディレイロックドループ回路を有して構成されていることを特徴とする請求項1から4のいずれか一項に記載の受信装置。

9. 前記第2の同期回路は、前記第1のクロック信号の相数を n とし、前記第2のクロック信号の相数を m とした場合、以下の式1を満足する相数 m を有する前記第2のクロック信号を生成することを特徴とする請求項1から8のいずれか一項に記載の受信装置：

$$n/m - 1 < 1/3 \quad \dots \text{(式1)}。$$

10. 前記第2の同期回路は、前記第1のクロック信号の相数を n とし、前記第2のクロック信号の相数を m とした場合、以下の式2を満足する相数 m を有する前記第2のクロック信号を生成することを特徴とする請求項1から8のいずれか一項に記載の受信装置：

$$m/n - 1 < 1/3 \quad \dots \text{(式2)}。$$

11. 前記クロック選択回路は、前記伝送クロック周期に同期したままで前記伝送クロックの位相関係を調整するために、前記変位計算回路からの出力に基づいて、前記伝送クロックに同期し且つ位相がずれた複数のクロックが前記第2の同期回路の入力クロック信号となるように選択することを特徴とする請求項1記載の受信装置。

12. 前記サンプリングデータに基づいて前記シリアル伝送データに関する品位値を算出する品位値算出回路を有することを特徴とする請求項1記載の受信装置。

13. 伝送クロック周期に同期した第1のクロック信号を生成する第1の同期回路と、複数の復調回路とを有し、

- 25 該復調回路はそれぞれ、伝送クロック周期に同期し且つ前記第1のクロック信号と出力クロック数の異なる第2のクロック信号を生成する第2の同期回路と、前記第1及び第2のクロック信号に基づいてシリアル伝送データをサンプリングするサンプリングレジスタと、該サンプリングレジスタでサンプリングされたサンプルデータに基づいて前記シリアル伝送データの前記入力クロック信号に対す

る変位量を算出する変位量計算回路と、前記第2の同期回路が前記伝送クロック周期に同期したままで前記伝送クロックの位相関係を調整するために、前記変位計算回路からの出力に基づいて、前記伝送クロックに同期し且つ位相がずれた複数のクロックが前記第2の同期回路の入力クロック信号となるように選択するク

5 ロック選択回路とを備え、

前記復調回路にそれぞれ設けられた前記第2の同期回路の少なくとも1つは、他の復調回路内の前記第2の同期回路が備えるローパスフィルタ回路から出力された制御電圧に基づいて前記第2のクロック信号を生成することを特徴とする受信装置。

10

14. 伝送クロック周期に同期した第1のクロック信号を生成する第1の同期回路と、複数の復調回路とを有し、

該復調回路はそれぞれ、伝送クロック周期に同期し且つ前記第1のクロック信号と出力クロック数の異なる第2のクロック信号を生成する第2の同期回路と、
15 前記第1及び第2のクロック信号に基づいてシリアル伝送データをサンプリングするサンプリングレジスタと、該サンプリングレジスタでサンプリングされたサンプルデータに基づいて前記シリアル伝送データの前記入力クロック信号に対する変位量を算出する変位量計算回路と、前記第2の同期回路が前記伝送クロック周期に同期したままで前記伝送クロックの位相関係を調整するために、前記変位
20 計算回路からの出力に基づいて、前記伝送クロックに同期し且つ位相がずれた複数のクロックが前記第2の同期回路の入力クロック信号となるように選択するクロック選択回路とを備え、

前記復調回路にそれぞれ設けられた前記第2の同期回路の少なくとも1つはローパスフィルタ回路を有し、当該ローパスフィルタ回路の出力を他の復調回路へ
25 供給するとともに、前記ローパスフィルタから出力された制御電圧に基づいて前記第2のクロック信号を生成することを特徴とする受信装置。

15. 伝送クロック周期に同期した第1のクロック信号を生成する第1の同期回路と、

伝送クロック周期に同期し且つ前記第1のクロック信号と出力クロック数の異なる第2のクロック信号を生成するための制御電圧を出力する制御電圧出力回路と、

- 前記制御電圧出力回路から出力された前記制御電圧に基づいて前記第2のクロック信号を生成する第2の同期回路と、前記第1及び第2のクロック信号に基づいてシリアル伝送データをサンプリングするサンプリングレジスタと、該サンプリングレジスタでサンプリングされたサンプルデータに基づいて前記シリアル伝送データの前記入力クロック信号に対する変位量を算出する変位量計算回路と、
- 10 前記第2の同期回路が前記伝送クロック周期に同期したままで前記伝送クロックの位相関係を調整するために、前記変位計算回路からの出力に基づいて、前記伝送クロックに同期し且つ位相がずれた複数のクロックが前記第2の同期回路の入力クロック信号となるように選択するクロック選択回路とを備えた復調回路とを有することを特徴とする受信装置。

Fig. 1

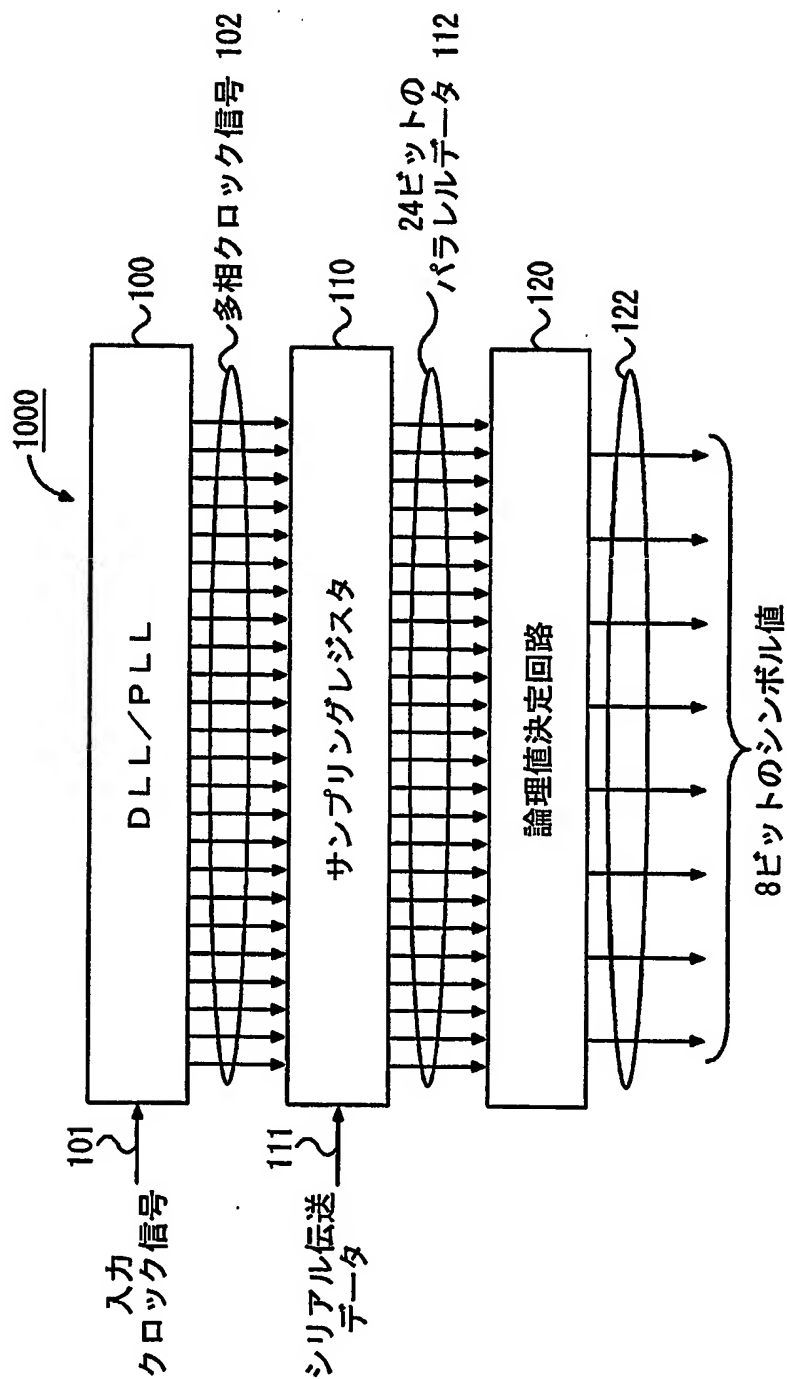


Fig. 2

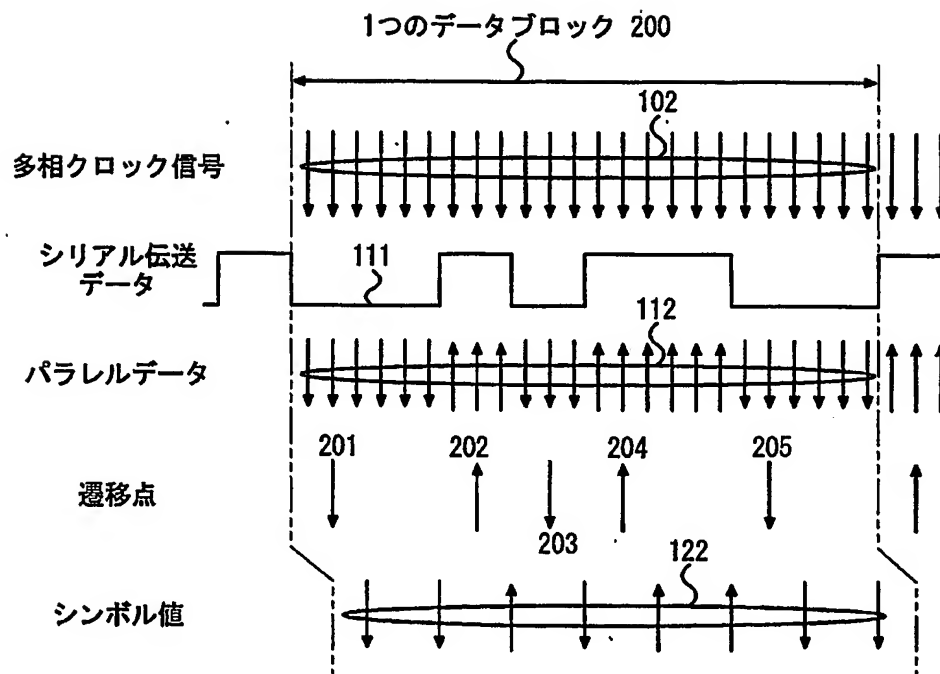
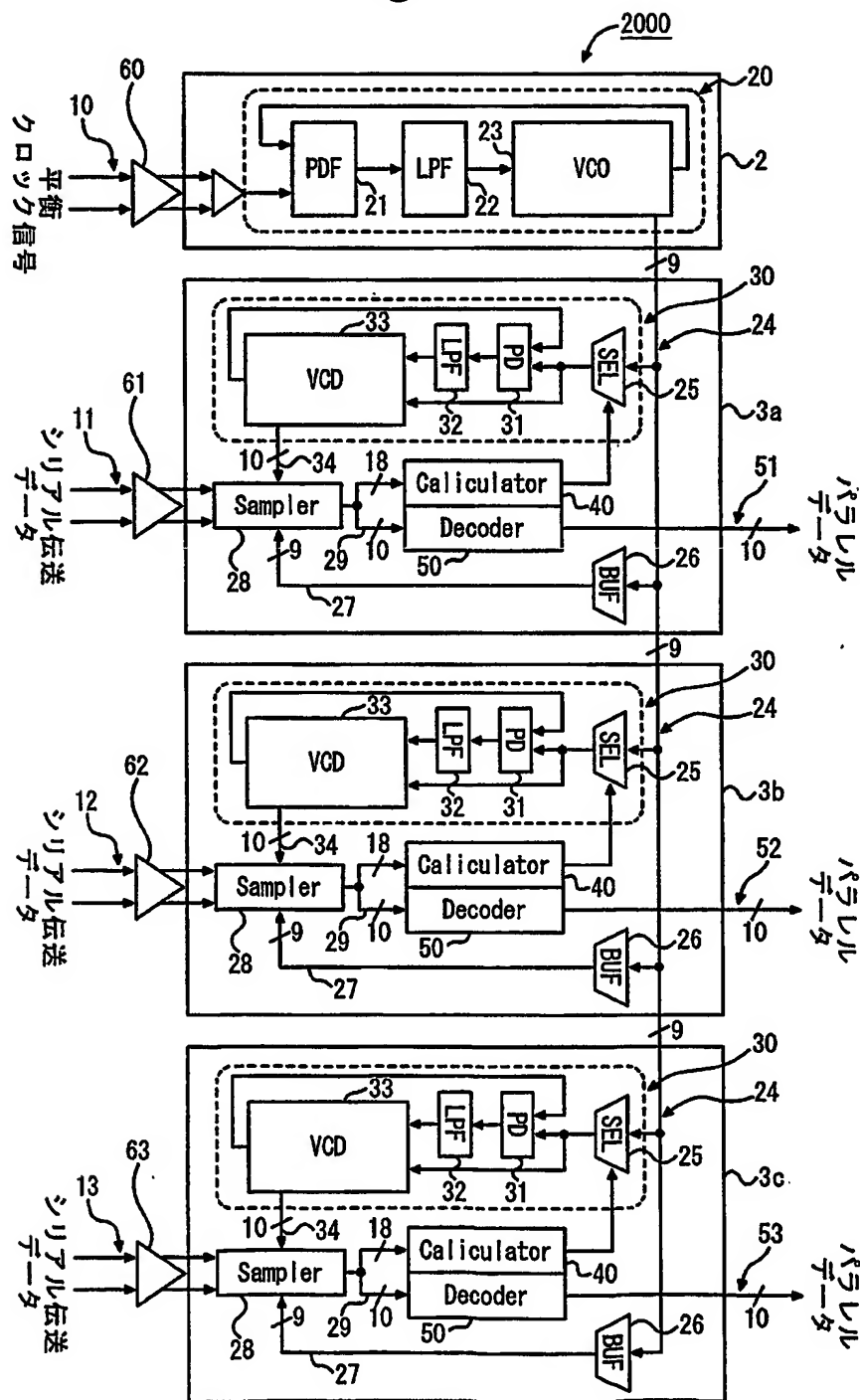


Fig. 3



4/14

Fig. 4

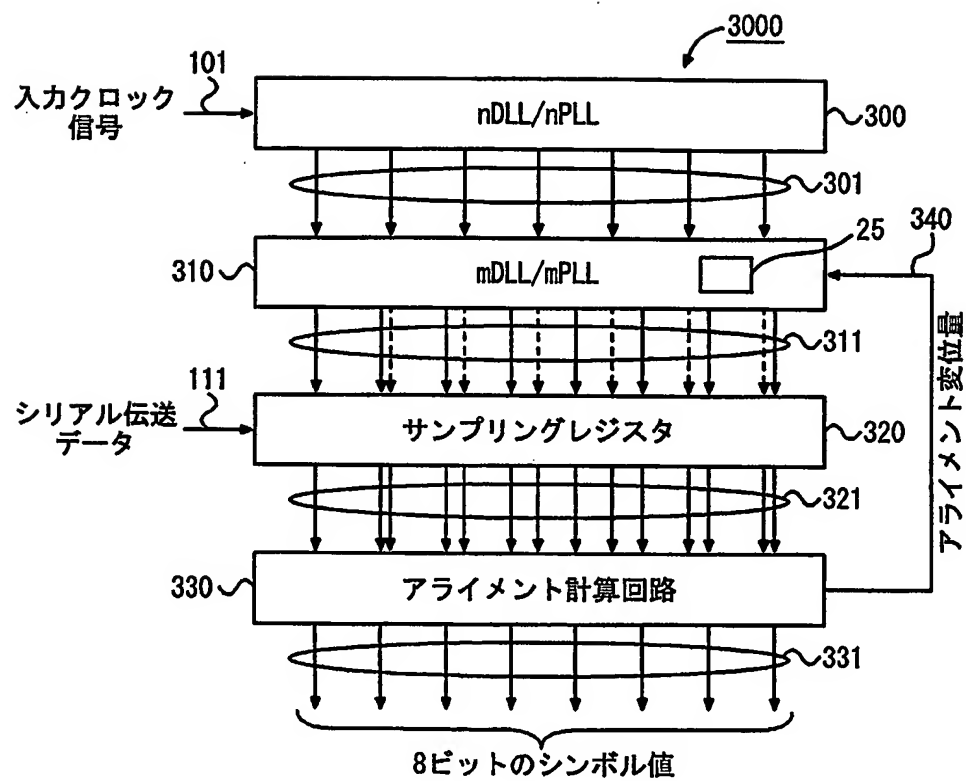
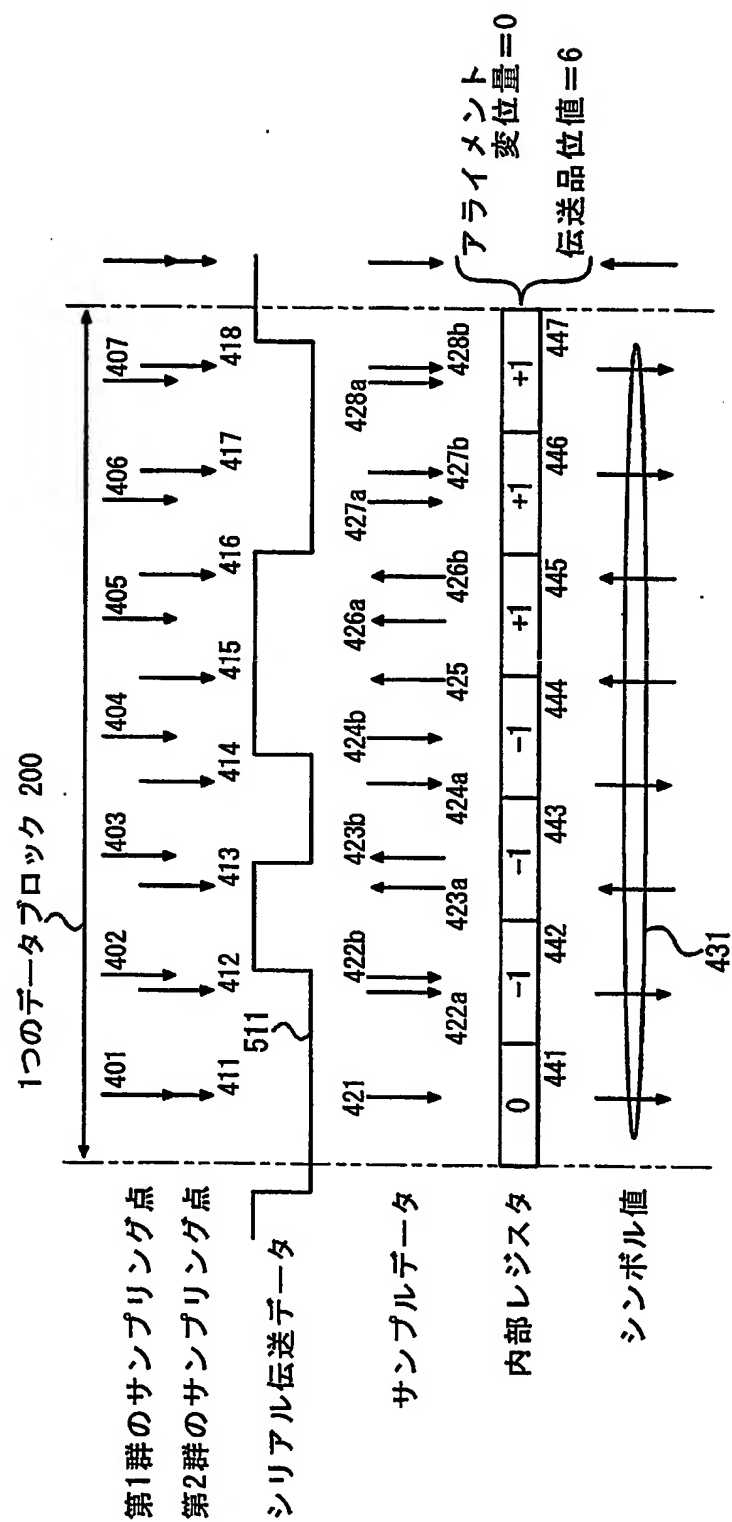
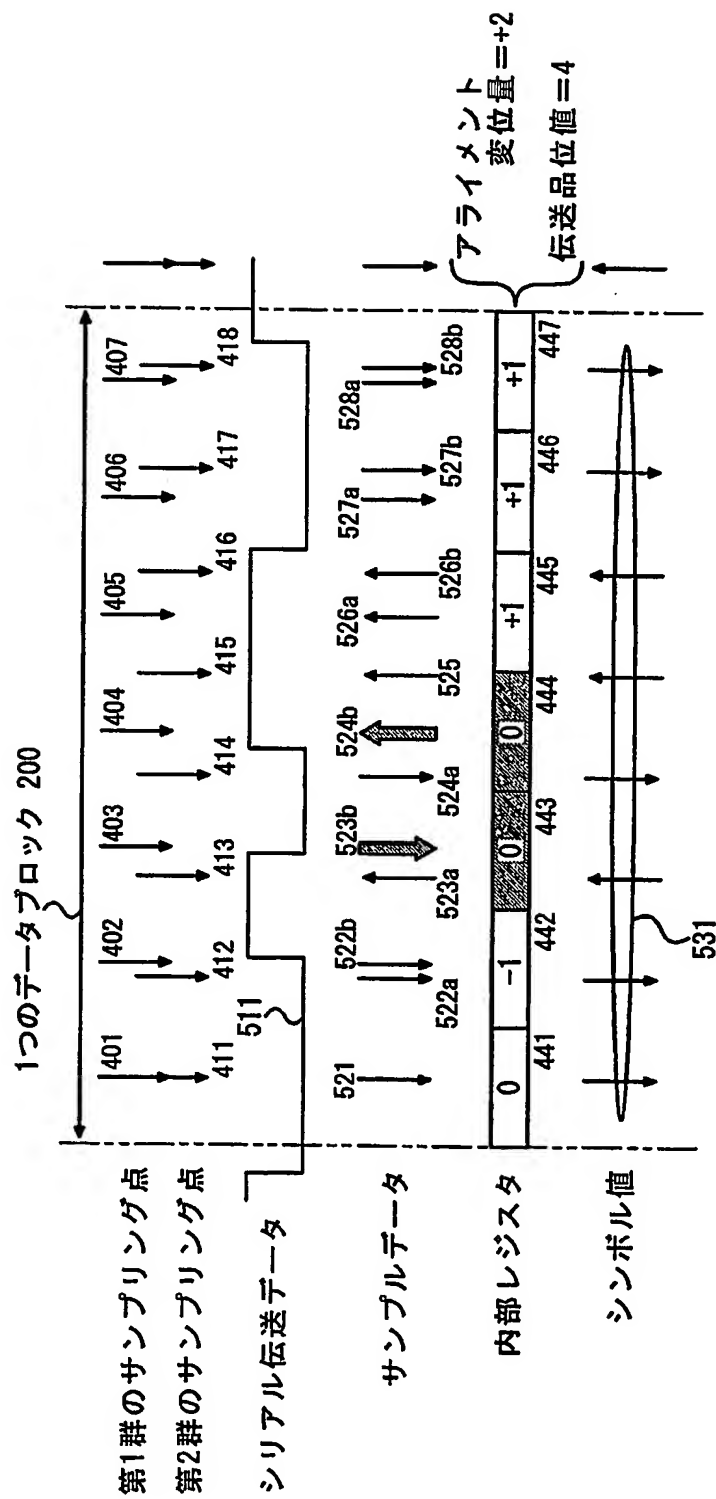


Fig. 5



6/14

Fig. 6



7/14

Fig. 7

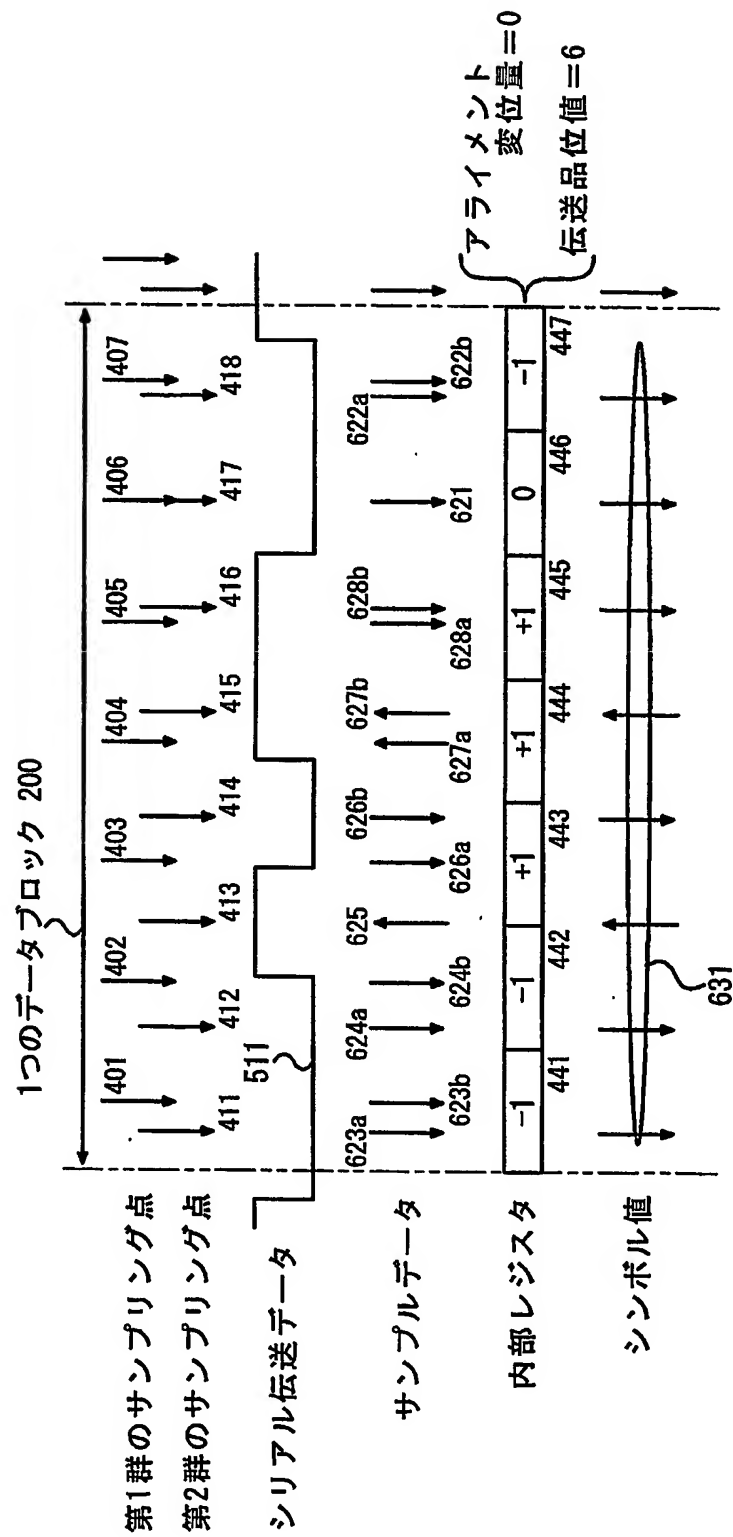


Fig. 8A

This Invention (M/N sampling method)

m	n	$m/n-1.0$	# of CLKs	skew shift(deg)
8	5	0.60	10	27.00
8	6	0.33	12	15.00
8	7	0.14	14	6.43

Fig. 8B

Prior Art (X sampling method)

m	X	——	# of CLKs	skew shift(deg)
8	3	——	24	15.00
8	4	——	32	11.25

9/14

Fig. 9

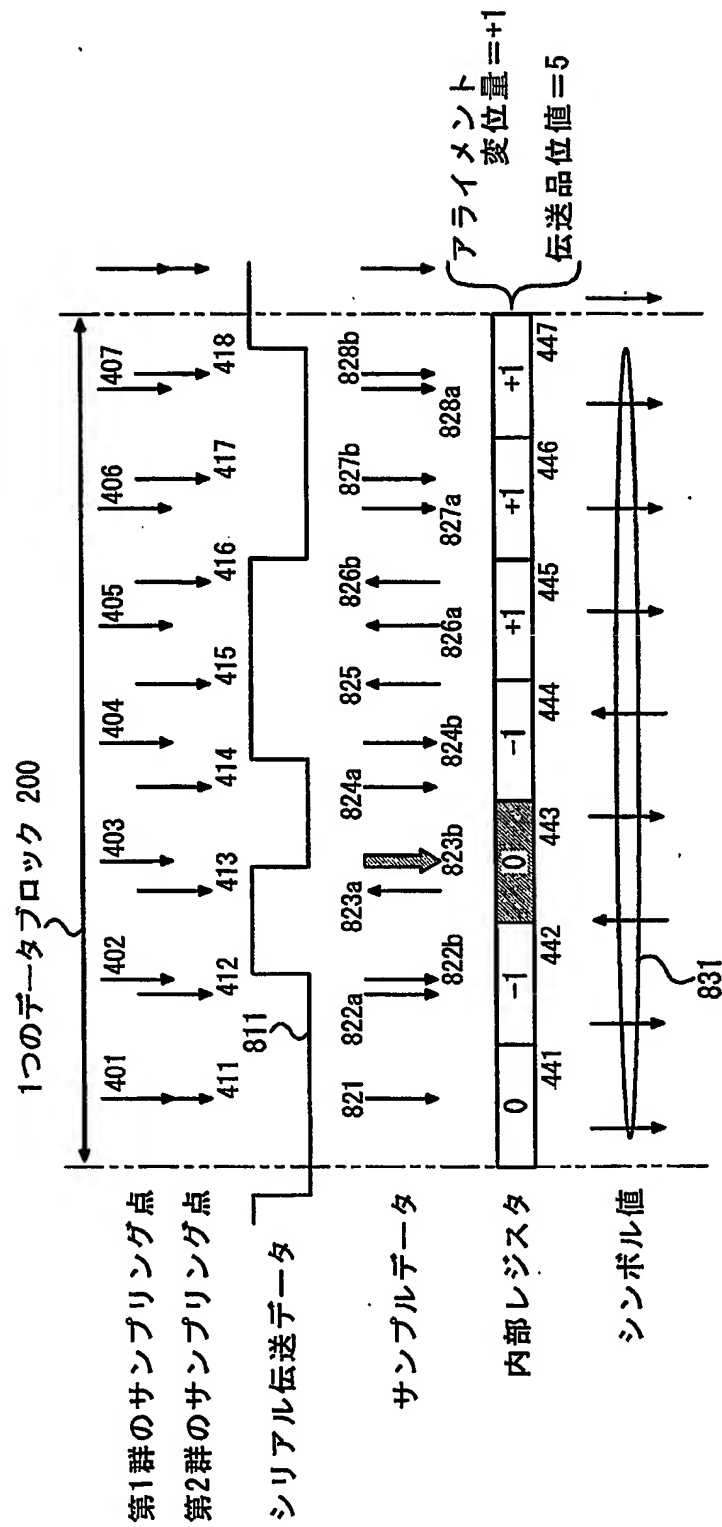
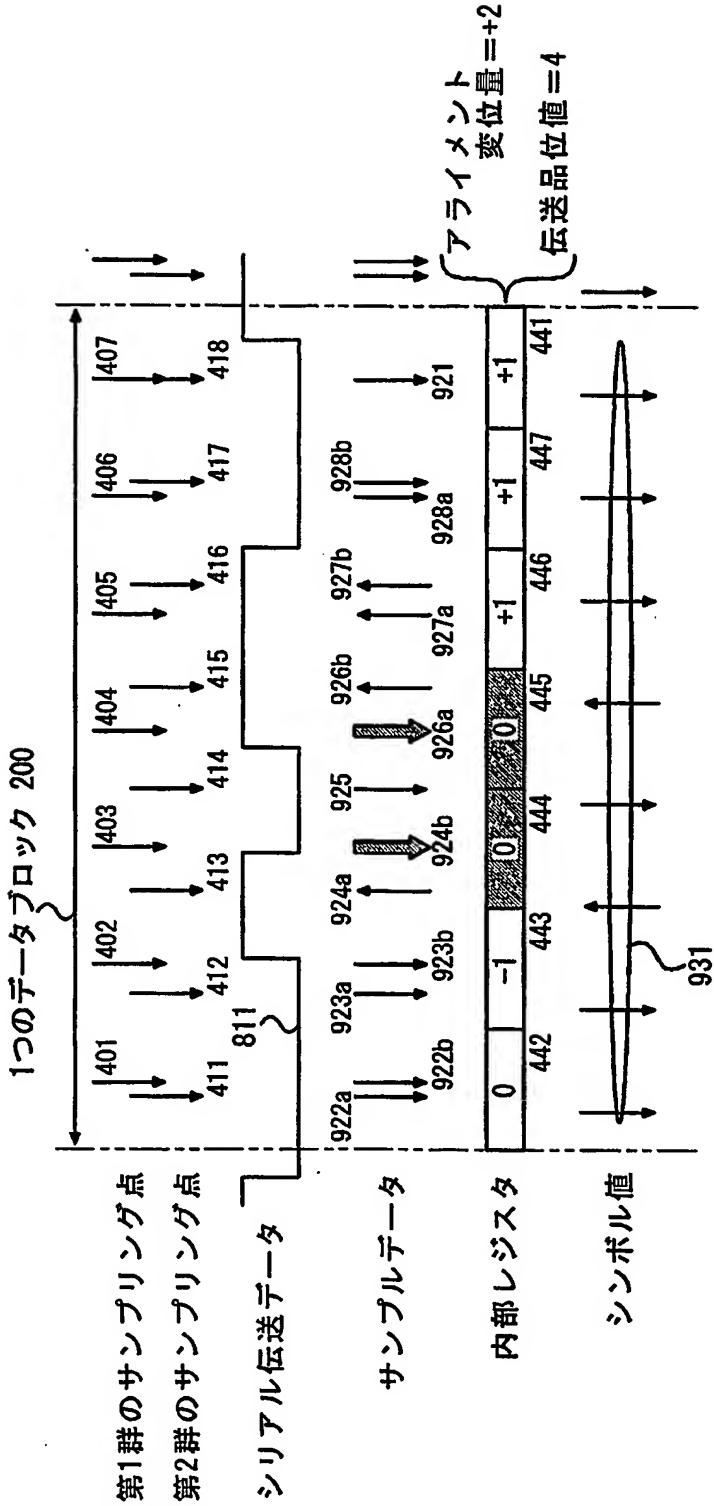
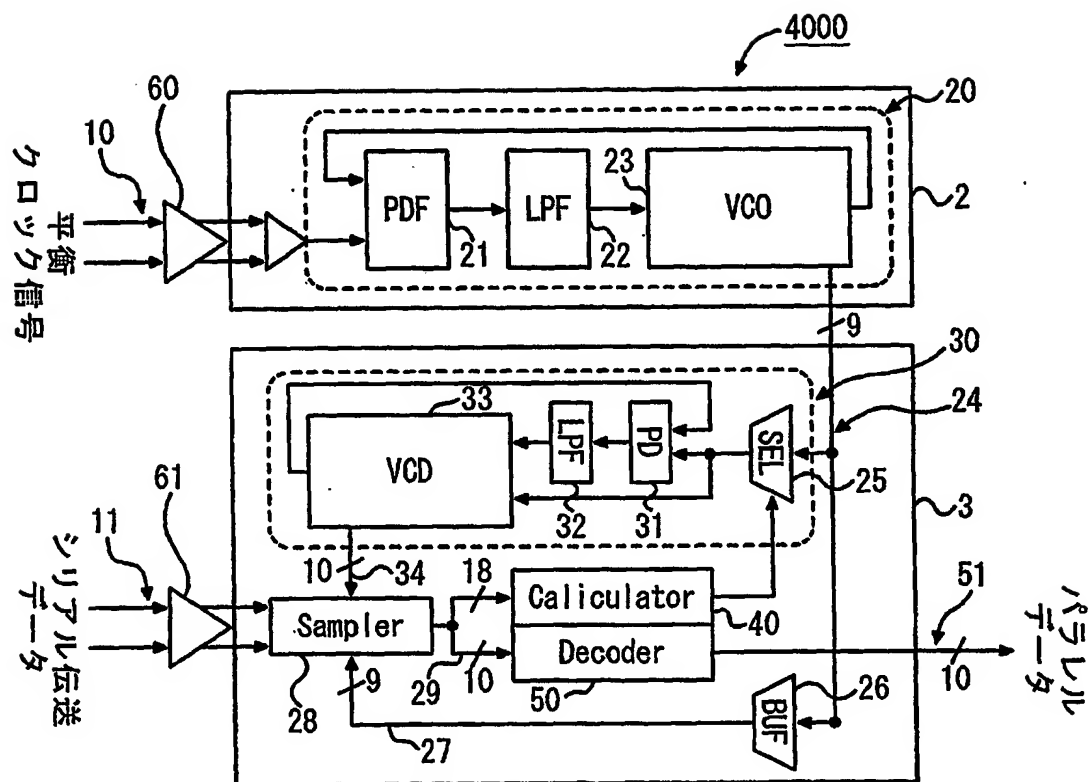


Fig. 10



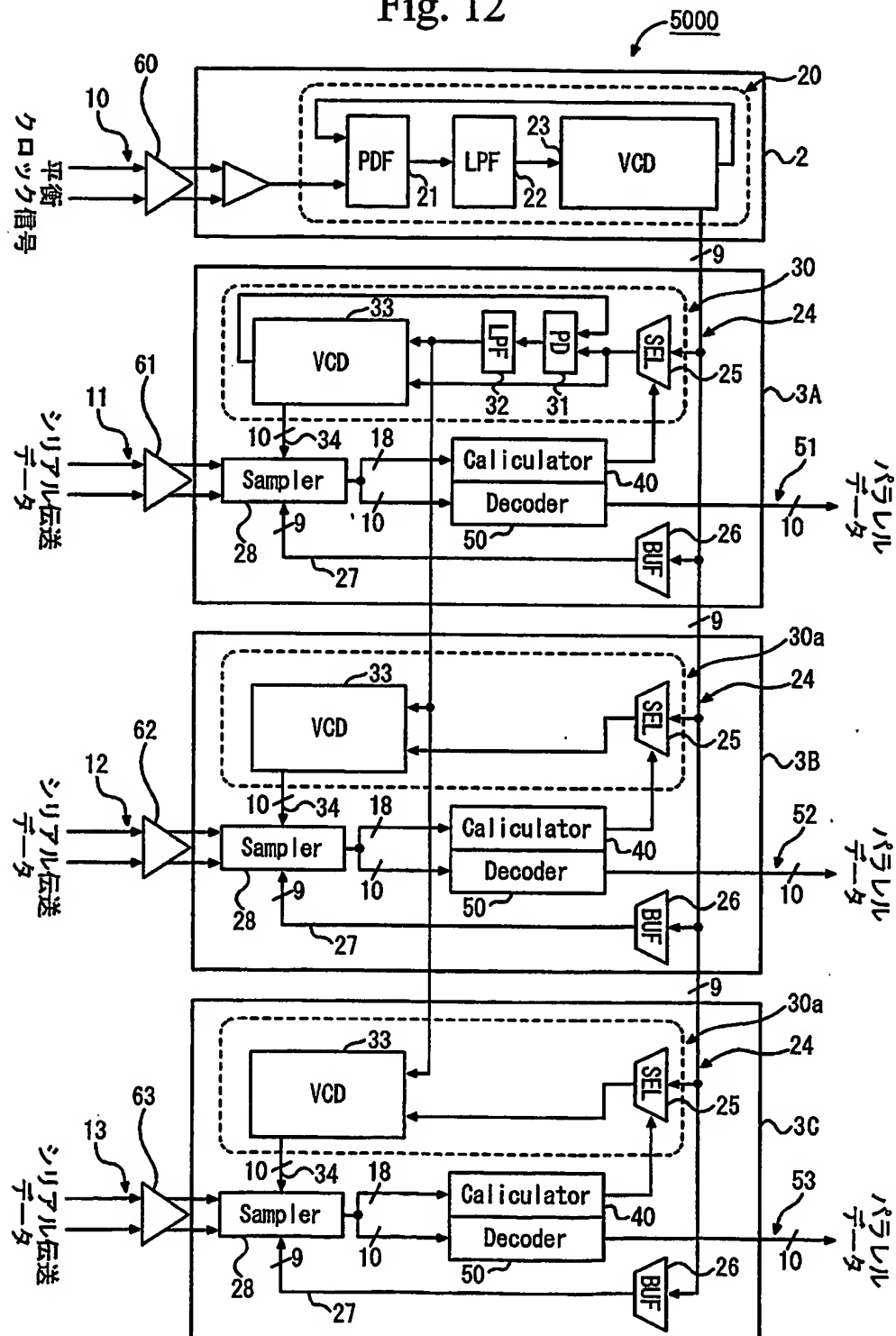
11/14

Fig. 11



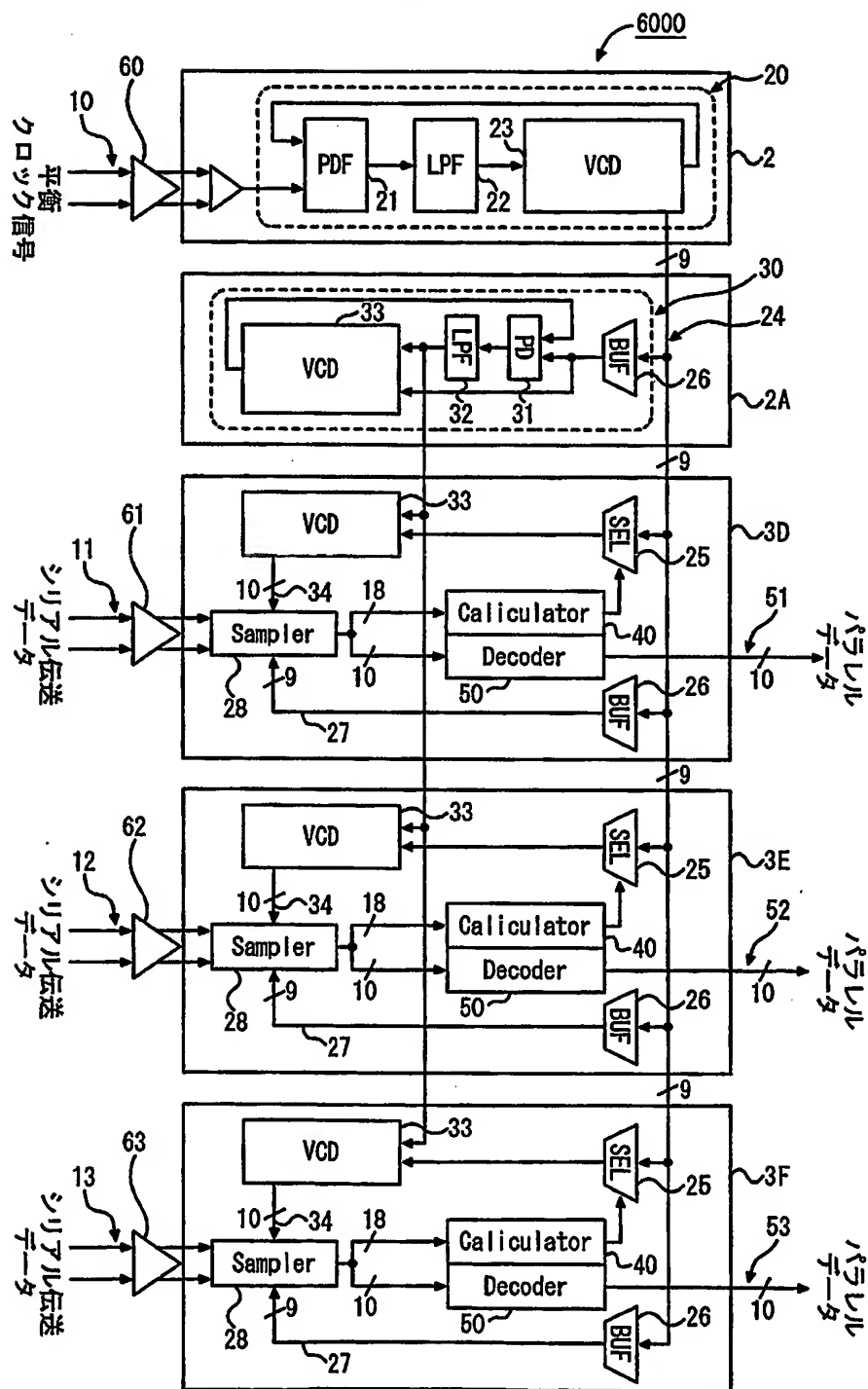
12/14

Fig. 12



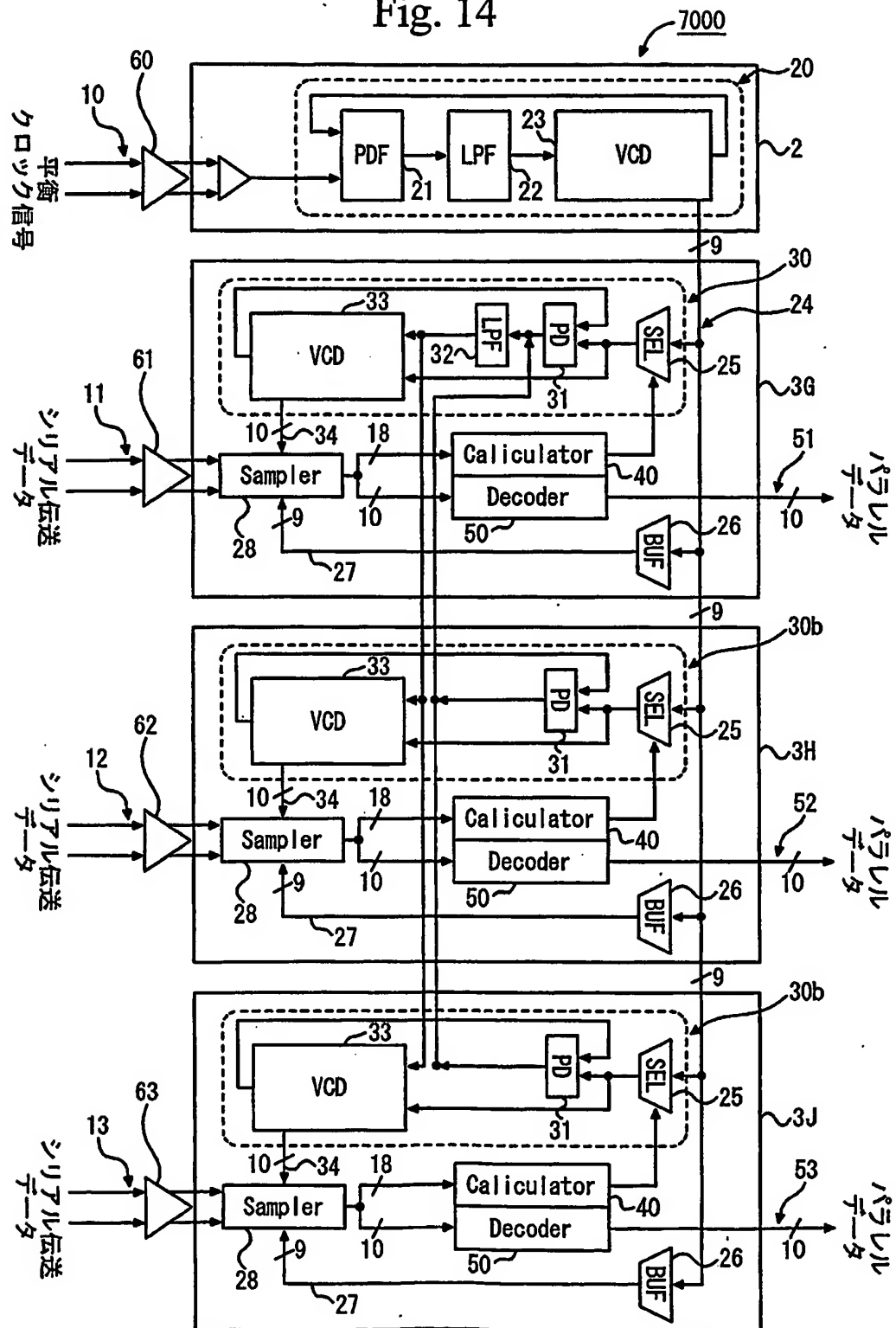
13/14

Fig. 13



14/14

Fig. 14



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/13941

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl.⁷ H04L7/033, H03M9/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl.⁷ H04L7/033, H03M9/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1926-1996 Jitsuyo Shinan Toroku Koho 1996-2004
Kokai Jitsuyo Shinan Koho 1971-2004 Toroku Jitsuyo Shinan Koho 1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 02/65690 A1 (Thine Electronics, Inc.), 22 August, 2002 (22.08.02), Figs. 3 to 10 and explanations thereof & TW 529280 A	1, 4-6, 9-12, 15 2, 3, 7, 8, 13, 14
A	JP 2000-31951 A (Fujitsu Ltd.), 28 January, 2000 (28.01.00), Figs. 1 to 4 and explanations thereof & EP 973289 A2	1-15
A	JP 11-88447 A (Mitsubishi Electric Corp.), 30 March, 1999 (30.03.99), Full text & DE 19841233 A1 & CN 1212524 A	1-15

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
07 January, 2004 (07.01.04)

Date of mailing of the international search report
20 January, 2004 (20.01.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/13941

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 11-98130 A (Sony Corp.), 09 April, 1999 (09.04.99), Full text & US 6266383 B1	1-15
A	JP 8-56240 A (Deog-kyoon Jeong), 27 February, 1996 (27.02.96), Full text & US 5802103 A	1-15
A	JP 5-244137 A (Casio Computer Co., Ltd.), 21 September, 1993 (21.09.93), Full text (Family: none)	1-15

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H04L7/033, H03M9/00

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H04L7/033, H03M9/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年
 日本国公開実用新案公報 1971-2004年
 日本国実用新案登録公報 1996-2004年
 日本国登録実用新案公報 1994-2004年

国際調査で利用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	WO 02/65690 A1 (ザインエレクトロニクス株式会 社) 2002.08.22, 第3図乃至第10図とそれらの説明 & TW 529280 A	1, 4-6, 9-12, 15
A		2, 3, 7, 8, 13, 14
A	JP 2000-31951 A (富士通株式会社) 2000.0 1.28, 第1図乃至第4図とその説明 & EP 973289 A2	1-15

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に関する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

07.01.04

国際調査報告の発送日

20.1.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

阿部 弘

5K

9382

電話番号 03-3581-1101 内線 3555

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 11-88447 A (三菱電機株式会社) 1999. 0 3. 30, 全文を参照 &DE 19841233 A1 &CN 1212524 A	1-15
A	JP 11-98130 A (ソニー株式会社) 1999. 04. 09, 全文を参照 &US 6266383 B1	1-15
A	JP 8-56240 A (デオグ キョーン イェオング) 19 96. 02. 27, 全文を参照 &US 5802103 A	1-15
A	JP 5-244137 A (カシオ計算機株式会社) 1993. 09. 21, 全文を参照 (ファミリーなし)	1-15

THIS PAGE BLANK (USPTO)